



4° Jornadas ITE 2017

4, 5 y 6 de abril de 2017

**CUARTAS JORNADAS de INVESTIGACION,
TRANSFERENCIA y EXTENSION de la
FACULTAD DE INGENIERIA**

secit@ing.unlp.edu.ar | www.ing.unlp.edu.ar

Calle 1 y 47 - La Plata (B1900TAG)



4° Jornadas ITE 2017

Resúmenes extendidos - 2017

*Secretaría de Investigación y Transferencia
Facultad de Ingeniería - UNLP.*

Ing. Liliana M. Gassa
Secretaria de Investigación y Transferencia

Lic. Gabriela Caorsi
Directora de Investigación y Transferencia

Sr. Leandro Grasso
Asistente

Cuartas Jornadas de Investigación, Transferencia y Extensión / Stella Abate ... [et al.] ;
compilado por Gabriela Caorsi ; Liliana Mabel Gassa. - 1a edición para el alumno
- La Plata : Universidad Nacional de La Plata. Facultad de Ingeniería, 2017.

Libro digital, PDF

Archivo Digital: descarga y online

ISBN 978-950-34-1453-8

1. Investigación. I. Abate, Stella II. Caorsi, Gabriela , comp. III. Gassa, Liliana
Mabel , comp.

CDD 378.007

ANÁLISIS DE CAPACIDADES Y ESTIMACIÓN DE TIEMPOS DE UN INVERSOR CMOS

Edgardo Ricci, Marcial Agostini, Juan Serrangeli, Walter Aróztegui, José Rapallini, María Victoria Quijano, Antonio Quijano

UIDET – CeTAD, Calle 116 y 48 Depto. de Electrotecnia (2do piso)
Facultad de Ingeniería, UNLP. La Plata (1900). Email: josrap@ing.unlp.edu.ar

INTRODUCCION

Los análisis y comparaciones desarrollados en el presente trabajo tienen como objetivo lograr estimaciones de tiempos de subida y bajada y tiempos de propagación de una compuerta inversora diseñada en tecnología CMOS de 500 nm sin carga (Fig. 1).

Esta propuesta se enmarca en un proyecto mayor, el cual tiene como fin el diseño de una librería de celdas CMOS (compuertas estáticas, biestables, etc) y la correspondiente caracterización de cada uno de sus componentes.

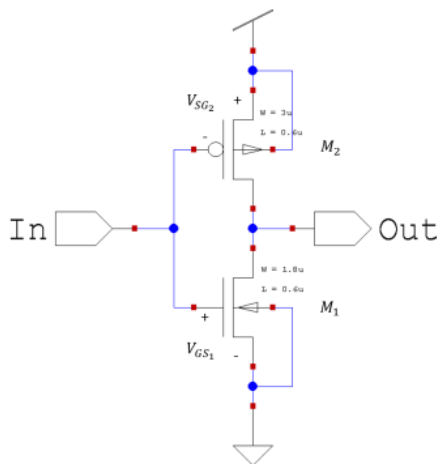


Fig. 1. Esquemático de un inversor CMOS.

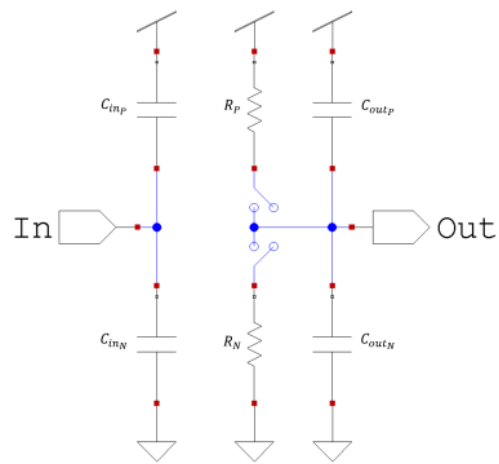


Fig. 2. Modelo de primer orden de un inversor CMOS.

PROPUESTA DEL MODELO

Dado que se desean estimaciones de los tiempos característicos, el modelo de transistor utilizado en conmutación es un circuito simple, de primer orden, basado en resistores y capacitores. En la Fig. 2, puede apreciarse el modelo equivalente utilizado en conmutación. Este consiste en una capacidad de entrada C_{in} , un resistor R y una capacidad de salida C_{out} .

A. Capacidad de entrada

La capacidad C_{in} es una capacidad equivalente, la cual representa a todas las capacidades que se aprecian desde el terminal de entrada (gate) y será la que se utilizará como carga para etapas anteriores. Dicho equivalente está compuesto por 3 partes: la capacidad entre gate y drain (C_{GD}); la capacidad propia del gate (C_G) y la capacidad entre gate y source (C_{GS}). C_{GD} es la capacidad entre el terminal de entrada y el nodo de salida.

Físicamente esto se debe al solapamiento entre gate y source, formando un capacitor con el óxido de gate como dieléctrico. Dado que esta capacidad experimenta una variación de tensión de $2V_{DD}$, se produce un aumento artificial de la misma. A este efecto se lo conoce como

Miller [1]. Dicha capacidad queda dada por (1), en donde W es el ancho del canal del transistor y C_{GDO} es la capacidad de solapamiento por unidad de largo de canal entre gate y drain.

$$C_{GDO} = 2WC_{GDO} \quad (1)$$

C_G es la capacidad propia del gate con el sustrato, que puede pensarse como un capacitor de placas paralelas, con el óxido de gate oficiando como dieléctrico. Dicha capacidad queda expresada en (2), en donde L_{eff} es la longitud efectiva del canal estando en saturación y C_{ox} es la capacidad del óxido de gate, u óxido fino.

$$C_G = WL_{eff}C_{ox} \quad (2)$$

Por último, entre gate y source también tenemos una capacidad de solapamiento, la cual queda descripta por (3), en donde C_{GSO} es la capacidad de solapamiento por unidad de largo de canal entre gate y source.

$$C_{GD} = WC_{GSO} \quad (3)$$

Teniendo en cuenta las 3 contribuciones anteriormente descriptas, la capacidad total de entrada del inversor queda dada por (4).

$$C_{in} = 2W_N C_{GDON} + W_N L_N C_{ox} + W_N C_{GSON} + 2W_P C_{GDOP} + W_P L_P C_{ox} + W_P C_{GSOP} \quad (4)$$

B. Resistencia de canal

En el modelo planteado del transistor MOSFET, el canal está representado por una llave ideal (cuyo estado es dependiente de V_{GS}) y por un resistor, el cual es un equivalente de todas las resistencias parásitas presentes en él.

Tanto el PMOS como el NMOS deben trabajar en saturación para poder proveer un camino de baja resistencia al transmitir un '1' o un '0' lógico hacia el nodo de salida, por ello las resistencias del modelo estarán establecidas por la inversa de la pendiente de la característica de salida de los transistores en saturación. Dichas expresiones son (5) y (6), en las cuales k'_P y k'_N representan la movilidad de los portadores multiplicada por la capacidad del óxido de canal (C_{ox}).

$$R_P = \frac{1}{k'_P (W_P/L_P)(V_{DD} - |V_{TP}|)} \quad (5)$$

$$R_N = \frac{1}{k'_N (W_N/L_N)(V_{DD} - V_{TN})} \quad (6)$$

C. Capacidad de salida intrínseca

La capacidad de salida intrínseca está asociada principalmente a dos efectos en el transistor: a la capacidad entre el nodo de entrada (gate) y el de salida (drain) y las capacidades de juntura en inversa presentes entre el sustrato y drain.

Entre el nodo de entrada y salida, la capacidad es la misma que se ha desarrollado previamente, la cual estaba sometida al efecto Miller, expresada en (1).

El otro aporte a la capacidad de salida está dado por la capacidad de juntura en inversa entre drain y sustrato. Este aporte a su vez es causado por dos factores: el primero es el área de drain en contacto con el sustrato y el segundo es el efecto de los bordes laterales del drain [2].

La capacidad del area inferior del drain responde a la expresión de un varactor, dado que la juntura está en inversa. Luego, esta capacidad puede expresarse en términos de capacidad por unidad de área y se denomina C'_{JDB} .

La capacidad de los bordes laterales del drain por unidad de área no es constante con la profundidad, lo que genera cierta dificultad en el cálculo de la misma. Otras complicaciones surgen debido a que los bordes del drain no son planos y que la concentración del dopaje no es constante en todo el dispositivo. Es por esto que se utilizan dos capacidades de borde exterior efectiva por unidad de longitud, una para el lado

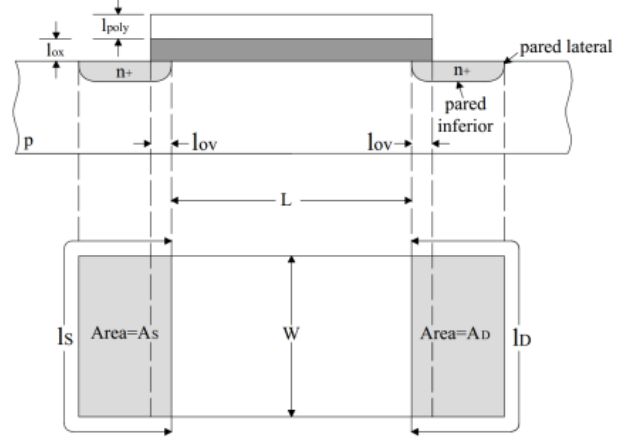


Fig. 3. Transistor NMOS. Sección transversal y vista superior.

cercano al óxido fino, denominada C'_{JDBGox} y otra para el del óxido de campo, C'_{JDBFox} (Fig. 3). En dicha figura también se muestra una vista superior de un transistor MOSFET, en la cual se aprecian las longitudes correspondientes a utilizar en los cálculos de las capacidades. La expresión de la capacidad entre drain y sustrato está dada por (7) [3].

$$C_{DB} = A_D C'_{JDB} + L_S C'_{JDBGox} + W C'_{JDBFox} \quad (7)$$

Del fabricante tenemos los valores de las tres capacidades de la expresión (7), pero referidas a un potencial de bias nulo (C_{JDB} , C_{JDBGox} y C_{JDBFox}).

Estos valores se corrigen mediante las expresiones (8), (9) y (10), a través de los datos de los potenciales de contacto y los coeficientes de graduación provistos por el fabricante.

$$C'_{JDB} = C_{JDB} [1 - (V_{BD}/P_B)]^{-M_j} \quad (8)$$

$$C'_{JDBGox} = C_{JDBGox} [1 - (V_{BD}/P_{BSW})]^{-M_{swj}} \quad (9)$$

$$C'_{JDBFox} = C_{JDBFox} [1 - (V_{BD}/P_{BSWG})]^{-M_{swjg}} \quad (10)$$

Teniendo en cuenta todas las contribuciones de las capacidades parásitas a la capacidad de salida equivalente, obtenemos la expresión (11).

$$C_{out} = 2W_{DN}C_{GDON} + 2W_{DP}C_{GDOP} + A_{DN}C'_{JDBN} + A_{DP}C'_{JDBP} + L_{SN}C'_{JDBGonN} + L_{SP}C'_{JDBGonP} + W_N C'_{JDBFoxN} + W_P C'_{JDBFoxP} \quad (11)$$

ANÁLISIS DE TIEMPOS CARACTERÍSTICOS

Habiendo definido el modelo del inversor basado en tecnología CMOS así como sus componentes en función de la tecnología y parámetros del diseño, se procede al análisis y cálculo de los tiempos característicos de las celdas digitales.

Como ya se había mencionado, la parte de salida del modelo del inversor está formado por un circuito RC, que se compone de C_{out} y R . Dado esto, podemos definir una constante de tiempo τ (12) la cual dependerá de R_N o R_P , según sea que se esté descargando o cargando el nodo de salida, y de C_{out} .

$$\tau = RC_{out} \quad (12)$$

Del análisis de un circuito RC [4] que es excitado por un escalón ideal de tensión tenemos que la respuesta posee la típica forma dada por una exponencial que tiene como asíntota al nivel de tensión dado por la amplitud del escalón (13).

$$V_{out}(t) = V_{escalón}(1 - e^{-t/RC_{out}}) \quad (13)$$

Igualando (13) a $V_{escalón}/2$ y resolviendo para t , se obtiene el tiempo de retardo (t_d), al cual se lo define como la diferencia entre el instante de tiempo en que el nodo de salida toma la mitad de su valor final y el instante de tiempo en el que el nodo de entrada toma la mitad de su valor (14). Dependerá si el nodo de salida se está cargando o descargando si el tiempo de retardo es el tiempo de un nivel alto a nivel bajo (t_{dHL}) o viceversa (t_{dLH}). Para obtener un tiempo de propagación medio, el valor de R_M es el promedio de R_N y R_P .

$$t_d = 0,69R_M C_{out} \quad (14)$$

El otro tiempo característico que es de interés en las celdas digitales es el tiempo de subida (t_r) y bajada (t_f) de los flancos de la señales de salida. El primero de estos se define como la diferencia entre los instantes de tiempo en que la señal toma el 90% de su valor final y el 10% del mismo, mientras que el segundo es el la diferencia entre el instante en que la señal toma el 10% de su valor final y el 90% del mismo. En ambos casos, dicho tiempo dependerá de la corriente que cargará o descargará C_{out} en el nodo de salida. Es por esto que el cálculo de dichos tiempos se separa en dos, dependiendo en que zona este trabajando el transistor [5]. Integrando entre los márgenes de interés, $0,9V_{DD}$ y $0,1V_{DD}$, obtenemos las expresiones de t_f (15) y t_r (16) [1].

$$t_f = 2,2R_N C_{out} \quad (15)$$

$$t_r = 2,2R_P C_{out} \quad (16)$$

CÁLCULO NUMÉRICO DE PARÁMETROS DEL MODELO

Luego de todo el análisis anterior, se dispone a calcular los valores de las capacidades, resistencias y tiempos del inversor de 500 nm . Como se ha mostrado en las expresiones, dichos valores dependen prácticamente de dos factores: en primer lugar depende de la geometría del inversor y en segundo lugar de la tecnología con la cual se lo construye. La geometría está dada por el diseñador (por ejemplo en el ancho y largo del canal), por lo que se puede utilizar a ésta como forma de control de los parámetros característicos. La tecnología es la que determina los parámetros de las capacidades por unidad de área, longitud, etc.

Las constantes utilizadas en los cálculos, dadas por el proceso tecnológico de fabricación, se obtuvieron de la entidad MOSIS. Dicha información es brindada a través de un archivo, que posee todos los parámetros necesarios para simular transistores con el modelo BSIM 3v3. En este caso, solamente se utilizaron algunos de dichos parámetros, no su totalidad.

TABLA I : PARÁMETROS DE DISEÑO

Parámetro	Símbolo	NMOS	PMOS
Longitud de canal	L	$0,6\ \mu m$	$0,6\ \mu m$
Longitud de drain	L_D	$1,65\ \mu m$	$1,65\ \mu m$
Ancho de canal	W	$1,8\ \mu m$	$3\ \mu m$

En la Tabla I, se muestran los parámetros de diseño de los transistores del inversor.

Los resultados de los cálculos de todos los componentes del modelo del inversor, tanto para los transistores NMOS y PMOS, se muestran en la Tabla II.

TABLA II : CAPACIDADES Y RESISTENCIAS PARÁSITAS

Parametro	Símbolo	NMOS	PMOS
Resistencia de canal en saturación	R	2305 Ω	4556 Ω
Capacidad de Miller	C_{GD}	0,644 fF	0,126 fF
Capacidad de juntura DB	C_{JB}	0,889 fF	2,472 fF
Capacidad periférica de óxido de campo	C_{JSW}	1,445 fF	1,144 fF
Capacidad periférica de óxido de gate	C_{JSWG}	0,245 fF	0,1527 fF
Capacidad de salida	C_{out}	8,26 fF	

Finalmente podemos calcular los tiempos de propagación y de flanco en subida y en bajada del inversor. Dichos resultados se muestran en la Tabla III.

TABLA III : TIEMPOS CARACTERISTICOS

Parametro	Símbolo	Valor
Tiempo de propagación de '1' a '0'	t_{dHL}	13,2 ps
Tiempo de propagación de '0' a '1'	t_{dLH}	26,1 ps
Tiempo de flanco de subida	t_r	41,9 ps
Tiempo de flanco de bajada	t_f	82,8 ps

COMPARACIÓN DE TIEMPOS CON SPICE

Para contrastar los resultados de los cálculos de los tiempos realizados se procedió a realizar una simulación del inversor.

Dicha simulación se realizó con el modelo nivel 49 BSIM 3v3 del transistor MOSFET. Los parámetros de diseño tenidos en cuenta por esta simulación fueron el largo y ancho del canal y el ancho y área de drain y source. Los parámetros correspondientes a la tecnología de fabricación fueron los provistos por MOSIS.

La simulación se llevó a cabo con una señal de entrada cuadrada positiva de 3,3 V de amplitud, 1 ns de período y flancos prácticamente ideales. En "Fig. 4" se aprecia el resultado de dicha simulación. La forma de la onda de salida de la simulación responde a exponenciales, por lo que el modelo de primer orden planteado aquí, en principio, se ajusta correctamente a lo referido al tipo de forma. En cuanto a lo referido a los tiempos característicos determinados por la simulación, los mismos poseen una diferencia con los tiempos calculados, aunque todos se encuentran en el mismo orden de magnitud. En la "Tabla IV" se muestra la comparación entre los tiempos calculados y los que resultaron de la simulación.

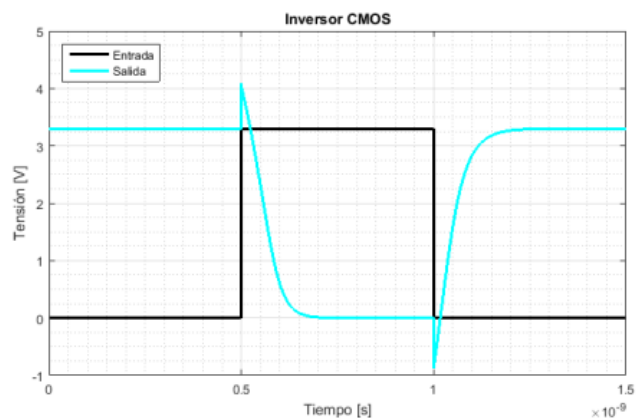


Fig. 4. Señales de entrada y salida de la simulación con SPICE.

TABLA IV: COMPARACION DE TIEMPOS

Parametro	Analítico	Simulado
t_{dHL}	13,2 ps	62,0 ps
t_{dLH}	26,1 ps	62,8 ps
t_r	41,9 ps	74,5 ps
t_f	82,8 ps	91,0 ps

CONCLUSIONES Y TRABAJO FUTURO

Una de las conclusiones más importantes que se pueden desprender de este trabajo es que el modelo de primer orden planteado aquí no debe ser utilizado para la obtención de cálculos de tiempos precisos. En cambio, resulta muy útil como primer cálculo sencillo para poder determinar en qué orden de frecuencias puede funcionar el dispositivo.

La simulación de nivel 49 utiliza cerca de 200 parámetros relacionados con la tecnología, mientras que el análisis realizado en este trabajo utiliza 26. Aquí se produce una relación de compromiso entre la complejidad en la determinación de los tiempos y la exactitud de los mismos.

Como continuación de este trabajo se propone el análisis de tiempos característicos de compuertas más complejas, como la NAND y NOR, hasta poder realizar la caracterización completa de una librería de celdas digitales. Esto serviría como base para futuros proyectos en donde se utilicen dichas celdas, como lo puede ser una máquina de estado o una cadena de lógica combinatoria de control, de modo de poder determinar de manera sencilla los tiempos y frecuencias de tales proyectos.

Otra de las propuestas en la continuación de este trabajo es la determinación del efecto que posee cargar al inversor con otras compuertas. En este caso, a la capacidad de salida propia del inversor se le adiciona la capacidad de entrada planteada en el modelo. Esto provocaría que los tiempos se agranden, dado que la capacidad a cargar resulta mayor. Suponiendo una cierta cantidad de compuertas de carga constantes para todas las celdas (Fan out fijo), se agregaría otro tiempo característico a las celdas de la librería.

BIBLIOGRAFIA:

- [1] P. Julian, *Circuitos Integrados Digitales CMOS. Analysis y Diseño*, Alfaomega. 2015
- [2] Y. Tsividis, *Operation and Modeling of the CMOS Transistor*, 2nd. edition, McGraw-Hill. 2010.
- [3] Y. Cheng, M. Chan, K. Hui, M. Jeng, Z. Liu, J. Huang, K. Chen, J. Chen, R. Tu, P. Ko, C. Hu, *BSIM3v3 Manual. Final Version*, cap. 9. 1995.
- [4] R. Baker, *CMOS, Circuit Design, Layout and Simulation*, 3rd edition, Wiley-IEEE Press, 2010.
- [5] B. Razavi, *Fundamentals of Microelectronics*, 2nd edition, Wiley. 2013.